

5G00001

(配布先)

固定配布先

(本技) 長

(本知財) 長

(RDC) 長

→ (技官G) 長

→ (企画G) 長

→ (知財G) 長

(MD研) 長

(C I研) 長

(EM研) 長

(UL研) 長

(関西研) 長

(S 件) 長

(環境研) 長

(基ソ研) 長

		技術報告 (研究要報)		受入番号 報告番号 RM-37697	
研究番号・製番 または仕事番号		AK13		発行 1996 年 2 月 21 日 研究開発センタ	
題 目		32Mbit NAND EEPROM の設計 — Rev.C、GT92C/D			
(所属略号) (事業場・部所・グループ)		(従業員番号・氏名)		検 印	
*(UL研)[UL1]		860054135		大平 秀子	
報*(半技研)[M技開](EDG)		83011910		岩田 佳久	
*(半技研)[M技開](EDG)		86010010		今宮 賢一	
*(半技研)[M技開](EDG)		90068910		杉浦 義久	
告*(半技研)[M技開](EDG)		92111910		武山 泰久	
*(UL研)[UL1]		90096410		中村 寛	
*(TOSMEC)[三集設](3LSI)		82005009		皆川 英信	
者*(TOSMEC)[三集設](3LSI)		85003109		辰巳 雄一	
*(TOSMEC)[三集設](3LSI)		88006709		鈴木 範明	
*(TOSMEC)[三集設](3LSI)		93006809		太田 均	
代表者内職番号		TEL 7-521-2314			
配布等級		3			
機密保持年限		2*のみ記入 年			
西暦		報告年月日 1996 年 2 月 8 日			
指定配布先		頁 全 525 頁: 本文 39 頁, 付録 96 頁			
(RDC)(UL研)		(目的・ポイント・方法・結果・結論を簡潔に記入: 400 字以内)			
2 [UL1] 長		目的 32Mb NAND EEPROM は、(二MG),(M 応二),(M 信G) からテストモードの追加、チップサイズの縮小、spec. 未達項目などを修正するためにリファイン (Rev.B) を行なった。その評価の結果、まだ spec. 未達項目やマージンのない所があったので、CS に向けて再度リファイン (Rev.C, GT92C/D) を行なうことにした。			
→ 白田 (研)		要			
→ 田中 (務)		目			
(半技研)		概要 Rev.B の評価結果で spec. OUT となった tREA, tCS, tCHZ は、内部信号の配線の引き直しを変えたり、中間バッファを入れたことによって、かなりの効果があり、spec 内に収めることが出来た。動作電流を減らすために、昇圧回路の段数を見直した。Read 時間短縮のため、内部で決めている CLK 信号の見直しを行なった。Al マスク・オプションにより、セルフブート書き込みにも対応している。その書き込み方式の評価結果速報もまとめる。今回のリファインで、タイミングに関する SPEC. OUT や回路ミスも無くなり、大分 CS に近付いたと思う。			
3 (半技研) 長		特			
4 [U技開] 長		許			
→ (NTG) 長		(特許出願状況、他社特許との関連)			
→ 渡辺 (査)		特			
5 [M技開] 長		記			
→ (DDG) 長		事			
6 (EDG) 長		項			
(半技C)		(英文タイトル) Circuit design of 32Mbit NAND EEPROM - minor refine. (共同 (委託) 研究, 技術援助, 受託 (補助金) 研究等があれば, その名称) (上長記入) 32Mbit NAND EEPROM Rev.C, GT92C/D の集大成。Al マスク・オプションにより、セルフブート書き込み方式にも対応している。(作特)			
7 [三M技] 長		キ			
→ (M 設二) 長		ー			
→ 中井 (務)		ワ			
8 [一M 応] 長		ー			
→ (M 応二) 長		ド			
→ 本間 (務)		(階層又はブロック体で記入) 32M NAND, GT92A, GT92B, GT92C, NAND EEPROM			
(タマ)		BU			
9 [一M技] 長		名			
→ (二MG) 長		x63			
→ 百富 (長)		FH 009704			
(大分)					
10 [M技ブ] 長					
→ (M 応技) 長					
→ 村上 (務)					
つづき有・無					
0 頁のみ配布の場合は配布先の右側に〇印を記入					

株式会社 東芝

技術報告書 0 頁

(記入方法は会社規定 (技術編) による)

2* は技術目録に掲載

32メガビット(4M×8ビット)CMOS NAND E²PROM

概要

TC5832FTは、528バイト×16ページ×512ブロック構成5.0V単一電源動作の34M(34,603,008)ビット不揮発性メモリです。内部に528バイトのスタティックなレジスタを備えており、プログラム及びリード動作は、このレジスタとメモリセルアレー間で528バイト単位でデータを転送させる方式をとっております。また消去はブロック(8kバイト+256バイト:528バイト×16ページ)単位または複数ブロック同時に実行できます。

TC5832FTは、アドレス、データ、コマンドをI/O端子からシリアルに入出力する完全シリアルタイプのメモリでプログラム、消去動作は内部で自動実行させる方式を採っているため、使いやすく半導体ディスク等のファイル応用の他、音声録音再生応用、スティルカメラのイメージファイルメモリ等の応用、また各種応用機器における不揮発性が要求される大容量バッファメモリ応用に最適です。

特長

- 構成 メモリセルアレイ : 528×8k×8
 レジスタ : 528×8
 ページサイズ : 528バイト
 ブロックサイズ : (8k+256)バイト
- 機能 リード、リセット、オートページプログラム
 オートブロック消去、オートマルチブロック消去
 サスペンド/レジューム、ステータスリード
- 動作コントロール : 完全シリアル入出力
 コマンドコントロール方式
- パッケージ : 400mil幅TSOP TypeII
 TC5832FT : TSOP44-P-400B
- 5.0V単一電源動作 : V_{CC} = 5.0V ± 0.5V
- アクセス時間
 セルアレー → レジスタ : 10μs max.
 シリアルリードサイクル : 50ns min.
- 動作電流
 リード(50nsサイクル) : 15mA typ.
 プログラム時平均 : 40mA typ.
 消去時平均 : 20mA typ.
 スタンバイ時 : 100μA

ピン接続 (TOP VIEW)

TC5832FT			
V _{SS}	1	44	V _{CC}
CLE	2	43	CE
ALE	3	42	RE
WE	4	41	R/B
WP	5	40	O.P.
N.C.	6	39	N.C.
N.C.	7	38	N.C.
N.C.	8	37	N.C.
N.C.	9	36	N.C.
N.C.	10	35	N.C.
	11	34	
	12	33	
N.C.	13	32	N.C.
N.C.	14	31	N.C.
N.C.	15	30	N.C.
N.C.	16	29	N.C.
N.C.	17	28	N.C.
I/O 1	18	27	I/O 8
I/O 2	19	26	I/O 7
I/O 3	20	25	I/O 6
I/O 4	21	24	I/O 5
V _{SS}	22	23	V _{CC}

ピン名称

I/O 1-8	アドレス・データ・コマンド入出力ポート
CE	チップイネーブル
WE	ライトイネーブル
RE	リードイネーブル
CLE	コマンドラッチイネーブル
ALE	アドレスラッチイネーブル
WP	ライトプロテクト
R/B	レディー、ビジー出力
O.P.	オプションピン
V _{CC}	電源
V _{SS}	グラウンド

O.P. グラウンド入力 : 528バイト/ページとして動作
 V_{CC}入力 : 512バイト/ページとして動作

FH 009705

470/514

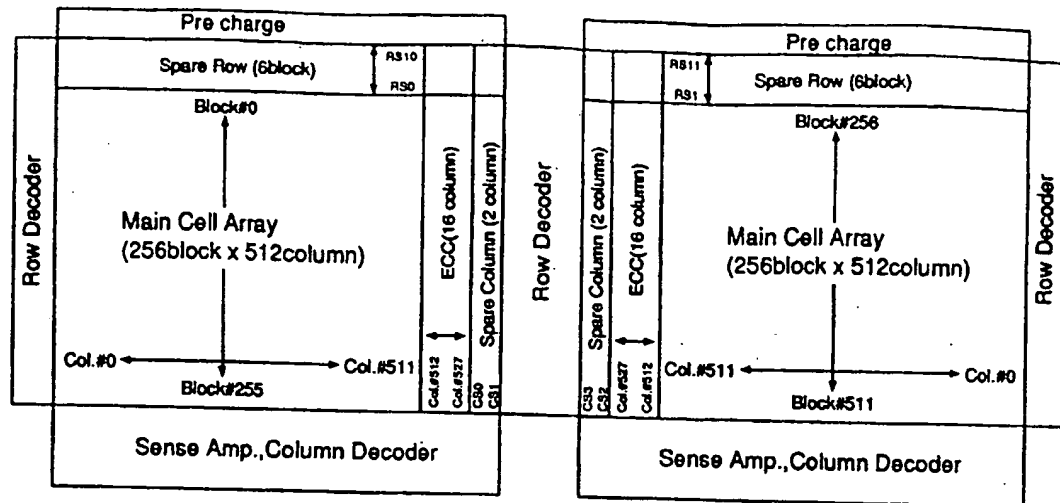
TC5832FT-2

Rev.C

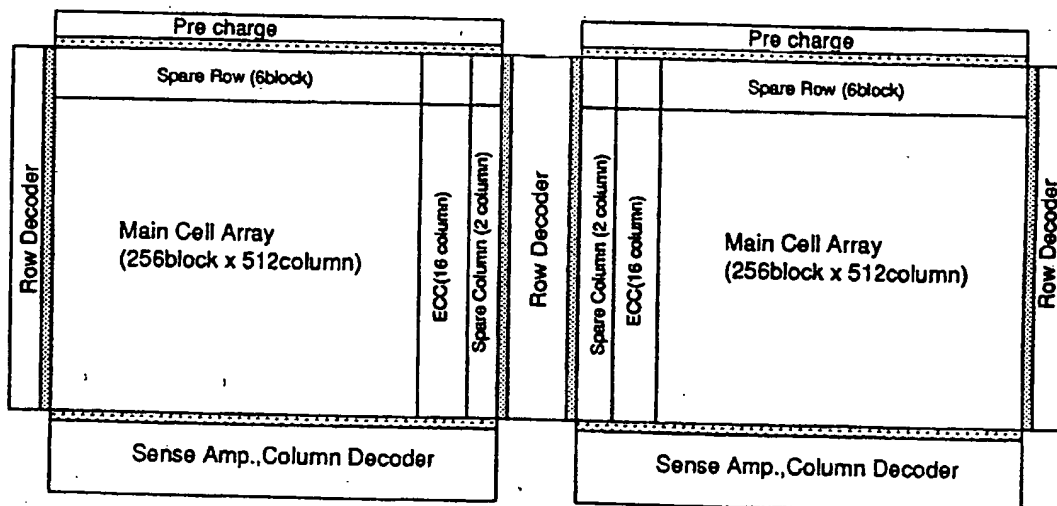
株式会社 東芝



RM-37697

2 Cell Array の構成



3 Dummy Line の構成



 dummy bit line Area --- 5bit line分
 dummy word line Area --- 4word line分

FH 009707

513 / 514

RM-37697

Figure 1: Block diagram of the memory array architecture. The diagram shows two identical memory array blocks side-by-side. Each block is a large rectangle divided into several sections. At the top is a "Pre charge" section. Below it is a "Spare Row (6block)" section. The main body is the "Main Cell Array (256block x 512column)". To the right of the main array are two narrow vertical sections: "EOC(16 column)" and "Spare Column (2 column)". At the bottom is a "Sense Amp., Column Decoder" section. A "Row Decoder" is located to the left of the main array, and another "Row Decoder" is to the right. A "2block" label with an arrow points to the bottom-left corner of the main array. The entire structure is labeled "Memory Array" at the bottom.

16bit 32bit 32bit 32bit 16bit

Source Shunt Source Shunt Source Shunt Source Shunt

2. フォース シャント構成

Diagram illustrating the Force Shunt Configuration. The configuration shows a sequence of segments: 16bit, 32bit, 32bit, 32bit, 16bit, and 16bit. The first five segments (16bit + 32bit + 32bit + 32bit + 16bit) are grouped under the label "ECC (16column)". The final 16bit segment is labeled "Spare Column". Below the segments, four "Source Shunt" labels are positioned, each with an arrow pointing to one of the 32bit segments.

RM-37697

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.